

Docket No.: 62807-160

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277

Masataka SASAKI, et al. : Confirmation Number:

Serial No.: : Group Art Unit:

Filed: February 09, 2004 : Examiner: Unknown

For: PROTECTION CIRCUIT FOR POWER MANAGEMENT SEMICONDUCTOR DEVICES AND
POWER CONVERTER HAVING THE PROTECTION CIRCUIT

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-169715, filed June 13, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Keith E. George
Registration No. 34,111

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 KEG:tlb
Facsimile: (202) 756-8087
Date: February 9, 2004



02807-100

SASAKI et al.

February 9, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 1 3 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 6 9 7 1 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 6 9 7 1 5]

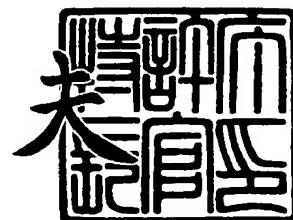
出 願 人 株式会社日立製作所
Applicant(s):



2 0 0 3 年 1 1 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 2 8 4 0

【書類名】 特許願

【整理番号】 JP4295

【あて先】 特許庁長官殿

【国際特許分類】 H02H 7/00

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号
株式会社 日立製作所 日立研究所内

【氏名】 佐々木 正貴

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号
株式会社 日立製作所 日立研究所内

【氏名】 石川 勝美

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号
株式会社 日立製作所 日立研究所内

【氏名】 斉藤 隆一

【発明者】

【住所又は居所】 茨城県日立市幸町三丁目 1 番 1 号
株式会社 日立製作所 インバータ推進本部内

【氏名】 須田 晃一

【発明者】

【住所又は居所】 東京都千代田区神田駿河台四丁目 6 番地
株式会社 日立製作所内

【氏名】 高橋 克明

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100077816

【弁理士】

【氏名又は名称】 春日 譲

【手数料の表示】

【予納台帳番号】 009209

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電力制御用半導体素子の保護装置及びそれを備えた電力変換装置

【特許請求の範囲】

【請求項 1】

コレクタと、ゲートと、エミッタとを有する電力制御用半導体素子の保護装置において、

上記電力制御用半導体素子のコレクタ電圧を検出し、検出したコレクタ電圧が、第 1 の基準電圧を越えたとき、第 1 の検出信号を出力する第 1 の比較器と、

上記電力制御用半導体素子のゲート電圧を検出し、検出したゲート電圧が、上記電力制御用半導体素子に定格電流を流すための最小ゲート電圧以上であり、上記電力制御用半導体素子を駆動する駆動信号を出力する駆動回路の電源電圧未満である第 2 の基準電圧を超えたとき、第 2 の検出信号を出力する第 2 の比較器と、

第 1 の検出信号及び第 2 の検出信号が共に出力されているときには、保護開始信号を出力する論理手段と、

上記論理手段からの保護開始信号に従って、上記ゲート電圧を低下させるゲート電圧低下手段と、

を備えることを特徴とする電力制御用半導体素子の保護装置。

【請求項 2】

請求項 1 記載の電力制御用半導体素子の保護装置において、上記第 2 の比較器は、上記電力制御用半導体素子のゲート電圧を分割する分割抵抗により分割された電圧に基づいて、上記ゲート電圧を検出することを特徴とする電力制御用半導体素子の保護装置。

【請求項 3】

請求項 1 又は 2 記載の電力制御用半導体素子の保護装置において、上記ゲート電圧低下手段は、上記駆動回路の駆動信号を遮断し、上記ゲート電圧を傾斜状に低下させることを特徴とする電力制御用半導体素子の保護装置。

【請求項 4】

請求項 1、2 又は 3 のうちのいずれか一項記載の電力制御用半導体素子の保護装置において、上記第 1 の比較器の第 1 の基準電圧は、上記電力制御用半導体素子が導通状態におけるコレクタ電圧以上であり、上記駆動回路の電源電圧未満であることを特徴とする電力制御用半導体素子の保護装置。

【請求項 5】

請求項 1 又は 2 記載の電力制御用半導体素子の保護装置において、上記第 1 の比較器と、第 2 の比較器と、論理手段と、ゲート電圧低下手段とは、上記駆動回路と共に半導体集積回路に形成されていることを特徴とする電力制御用半導体素子の保護装置。

【請求項 6】

直流電力を交流電力に変換する電力変換装置において、
直流電力を交流電力に変換するパワー半導体素子と、
上記パワー半導体素子のスイッチング動作を制御する電力制御用半導体素子と

、
上記電力制御用半導体素子のコレクタ電圧を検出し、検出したコレクタ電圧が、第 1 の基準電圧を越えたとき、第 1 の検出信号を出力する第 1 の比較器と、

上記電力制御用半導体素子のゲート電圧を検出し、検出したゲート電圧が、上記電力制御用半導体素子に定格電流を流すための最小ゲート電圧以上であり、上記電力制御用半導体素子を駆動する駆動信号を出力する駆動回路の電源電圧未満である第 2 の基準電圧を超えたとき、第 2 の検出信号を出力する第 2 の比較器と

、
第 1 の検出信号及び第 2 の検出信号が共に出力されているときには、保護開始信号を出力する論理手段と、

上記論理手段からの保護開始信号に従って、上記ゲート電圧を低下させるゲート電圧低下手段と、

上記電力制御用半導体素子のオンオフ動作を制御する演算処理手段と、
を備えることを特徴とする電力変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積装置に使用される電力制御用半導体素子の保護装置及びそれを備えた電力変換装置に関する。

【0002】**【従来の技術】**

電力変換装置に使用される電力制御用素子としては、最近、バイポーラMOS複合型半導体素子（IGBT（Insulated Gate Bipolar Transistor））が多く使用されている。IGBTは、ゲート電圧とコレクタ電圧によって、流れるコレクタ電流が決定されるが、ゲート電圧が大となる程、コレクタ電圧の増加に伴うコレクタ電流の増加傾斜も急激に大となる特性がある。

【0003】

電力変換装置において、アーム短絡や負荷短絡等が生じると、電力変換装置の電源電圧が、オン作動中のIGBTに印加され、上述したIGBTの特性から、過大な短絡電流（コレクタ電流）が流れる。

【0004】

その結果、過大電流による熱破壊が生じたり、過大電流を高速で遮断した場合であっても、遮断時の回路インダクタンスによる跳ね上がり電圧が大きく、この跳ね上がり電圧が、IGBTの耐圧限界を超えて破壊されてしまう可能性もある。

【0005】

そこで、IGBTの短絡を検出保護する方法が特許文献1に記載されている。この特許文献1記載の技術は、IGBTのゲート電圧とコレクタ電圧が各々基準値以上のとき、短絡であると判定するようにしたものである。

【0006】

また、特許文献2には、遮断時の回路インダクタンスによる跳ね上がり電圧の発生を抑制するためのソフト遮断手段が記載されている。

【0007】**【特許文献1】**

特開平2-262826号公報（米国特許第5210479号公報に対応）

【特許文献2】

特開2000-295838号公報

【0008】

【発明が解決しようとする課題】

ところで、上述した特許文献1においては、IGBTのゲート電圧についての短絡判断基準電圧は、この特許文献1の第1図に記載されているように、IGBTの駆動回路における電源電圧となっている。

【0009】

従って、トレンチIGBTのようにゲートの閾値電圧の低い、つまり、電流増幅率の大きい素子に、上記ゲート電圧についての短絡判断基準電圧を電源電圧とした場合、短絡検出した時点で、ゲート電圧にはゲート駆動回路の電源電圧である、例えば15Vが印加された状態である。

【0010】

このゲート駆動回路の電源電圧が印加された状態では、素子定格電流の数十倍の短絡電流が流れ、素子が破壊される可能性が高い。

【0011】

本発明の目的は、回路負荷等の短絡等により過電圧又は過電流が発生したことを、早期に、かつ、確実に検出して、バイポーラMOS複合型半導体素子等の半導体素子が破壊されることを防止可能な電力制御用半導体素子の保護装置及びそれを備えた電力変換装置を実現することである。

【0012】

【課題を解決するための手段】

上記目的を達成するため、本発明は次のように構成される。

（1）電力制御用半導体素子のコレクタ電圧を第1の比較器で検出し、第1の基準電圧を越えたとき、第1の検出信号を出力する。また、電力制御用半導体素子のゲート電圧を第2の比較器で検出し、第2の基準電圧を越えたとき、第2の検出信号を出力する。

【0013】

第2の基準電圧は、電力制御用半導体素子に定格電流を流すための最小ゲート電圧以上であり、電力制御用半導体素子の駆動回路の電源電圧未満である。

【0014】

第1の検出信号及び第2の検出信号が共に出力されているときは、過大電流、過大電圧から電力制御用半導体素子を保護するため、ゲート電圧低下手段によりゲート電圧を低下させる。

【0015】

これにより、回路負荷等の短絡等により過電圧又は過電流が発生したことを、早期に、かつ、確実に検出して、電力制御用半導体素子が破壊されることを防止可能となる。

【0016】

(2) 上記第2の比較器を、上記電力制御用半導体素子のゲート電圧を分割する分割抵抗により分割された電圧に基づいて、ゲート電圧を検出するように構成すれば、分割抵抗の抵抗値の調整により第2の基準電圧値を調整可能となる。

【0017】

(3) 過電圧等の発生時には、駆動回路の駆動信号を遮断し、ゲート電圧を傾斜状に低下させれば、半導体素子遮断時の回路インダクタンスによる跳ね上がり電圧の発生を抑制することができる。

【0018】

(4) 第1の比較器の第1の基準電圧は、電力制御用半導体素子が導通状態におけるコレクタ電圧以上であり、駆動回路の電源電圧未満とする。

【0019】

(5) 第1の比較器と、第2の比較器と、論理手段と、ゲート電圧低下手段とを、駆動回路と共に半導体集積回路に形成すれば、第1及び第2基準電圧値の精度を向上することができる。

【0020】

(6) 電力を交流電力に変換するパワー半導体素子のスイッチング動作を制御する電力制御用半導体素子の保護装置として、上記(1)に記載した保護装置を

用いる。

【0021】

パワー半導体素子等の短絡等により過電圧又は過電流が発生したことを、早期に、かつ、確実に検出して、電力制御用半導体子が破壊されることを防止し、電力変換装置の安全性を向上することができる。

【0022】

【発明の実施の形態】

以下、本発明の実施形態を、添付図面を参照して説明する。

なお、電力変換装置は、例えば電動機に供給する電力を制御するものであり、交流電力を直流電力に変換する整流装置、直流電力を交流電力に変換するインバータ装置、整流装置とインバータ装置との組み合わせであって、入力された直流電力を所望の直流電力に変換するDC-DCコンバータ装置がある。

【0023】

以下に説明する本発明の実施形態では、直流蓄電装置から出力された直流電力を交流電力に変換して電動機に供給するインバータ装置を電力変換装置の一例として説明する。

【0024】

(第1の実施形態)

図1は、本発明の第1の実施形態である電力制御用半導体素子の保護装置の概略回路構成図であり、保護すべき半導体素子としてIGBTを用いた場合の例である。また、図2は、パワー半導体素子IGBTのスイッチング時の各部電圧電流波形の模式図である。

【0025】

図1において、IGBT1のゲート端子には駆動回路3の出力信号が供給され、駆動回路3のオン/オフ指令信号に従い、IGBT1がスイッチングされる。

【0026】

IGBT1のコレクタ端子は、ダイオードD1を介して第1比較器COMP1の反転入力端子に接続される。このダイオードD1のアノード端子及び第1比較器COMP1の反転入力端子は、抵抗Rbiasを介して回路電圧Vccに接続

されている。この抵抗 R_{bias} はダイオード $D1$ の通流電流値を設定するバイアス抵抗である。

【0027】

また、第1比較器 $COMP1$ の非反転入力端子には第1の基準電圧 $V1$ が印加されており、第1比較器 $COMP1$ は、第1の基準電圧 $V1$ と、反転入力端子に印加される、コレクタ電圧（ダイオード $D1$ のアノード端子電圧）とを比較してコレクタ電圧を検出する、コレクタ電圧検出回路を構成している。

【0028】

また、 $IGBT1$ のゲート端子は、第2比較器 $COMP2$ の反転入力端子に接続され、第2比較器 $COMP2$ の非反転入力端子には、第2の基準電圧 $V2$ が印加されている。そして、第2比較器 $COMP2$ は、 $IGBT$ のゲート端子と、第2の基準電圧 $V2$ とを比較してゲート電圧を検出する、ゲート電圧検出回路を構成している。

【0029】

そして、第1の比較器 $COMP1$ の出力信号と第2の比較器 $COMP2$ の出力信号とが論理回路 AND に入力され、これら2つの入力信号の論理積が、“1” となったときの、論理回路 AND からの出力信号を短絡検出信号とする。

【0030】

論理回路 AND からの短絡検出信号は、ソフト遮断指令回路2に供給される。そして、このソフト遮断指令回路2の出力信号が駆動回路3及びソフト遮断用トランジスタ $M1$ のゲートに接続される。

【0031】

また、ソフト遮断用トランジスタ $M1$ のドレイン端子と $IGBT1$ のゲート端子との間にはソフト遮断用抵抗 R_{sf} が接続されている。このソフト遮断用トランジスタ $M1$ 、抵抗 R_{sf} 、ソフト遮断指令回路2とが、ゲート電圧を傾斜状に低下させるゲート電圧低下手段を形成する。

【0032】

次に、本発明の第1の実施形態の動作を図2を参照にして説明する。

【0033】

図2において、まず、時間T1で駆動回路3に、外部からのオン指令信号が入力され、IGBT1のゲート-エミッタ間に電圧が印加され、図2の(A)に示すように、ゲート電圧がテラス電圧まで充電されオン状態となり、図2の(C)に示すように、コレクタ電流が流れる。そして、図2の(B)に示すように、IGBT1のコレクタ電圧はオン状態の電圧(例えば2~3V)に保持される。

【0034】

ここで、テラス電圧とは、IGBT1に一定のコレクタ電流を流すために必要な最小のゲート電圧のことであり、IGBT1の特性に左右され、コレクタ電流により異なる。例えば、トレンチIGBTなどの定格電流レベルの場合は7V程度であり、回路電源電圧(例えば、1.5V)より低く、2分の1程度となっている。

【0035】

IGBT1がオン状態のコレクタ電圧のとき、コレクタ電圧検出用の第1の基準電圧V1は、コレクタ電圧のオン状態電圧より十分高く、回路電源電圧(例えば1.5V)より低い電圧、例えば1.1Vに設定されているので、第1比較器COMP1の出力はコレクタ電圧検出信号は出力していない。

【0036】

一方、ゲート電圧検出用の第2の基準電圧V2は、回路の電源電圧例えば1.5Vより低く、かつ、IGBT1のテラス電圧以上に設定し(テラス圧+ α)、通常のスイッチング時は、第1比較器COMP1からコレクタ電圧検出信号が出力している場合は、第2比較器COMP2からゲート電圧検出信号を出力しないようにする。

【0037】

例えば、テラス電圧7Vに対し、第2の基準電圧V2を9Vに設定する。このように設定すれば、第2比較器COMP2からゲート電圧検出信号を出力しない。

【0038】

その後、時間T2になると、IGBT1のゲート電圧はテラス電圧から回路電源電圧近傍、例えば14.5Vまで上昇する。

【0039】

この場合、ゲート電圧は第2の基準電圧V2（9V）より高くなるのでゲート電圧の検出信号が、第2比較器COMP2より出力される。

【0040】

ここで、アーム短絡や負荷短絡等により過電圧又は過電流が発生すると、IGBT1のコレクタ電流及び電圧が上昇し、第1の基準電圧V1より高くなると、コレクタ電圧検出信号が第1比較器COMP1より出力され、ゲート電圧検出信号とコレクタ電圧検出信号との論理積が”1”となるので、論理回路ANDから短絡検出信号が出力される。

【0041】

論理回路ANDからの短絡検出信号は、ソフト遮断指令回路2に入力され、ソフト遮断指令回路2が駆動回路3の遮断を指令し、ソフト遮断用トランジスタM1をオン動作させる。

【0042】

このソフト遮断用指令回路2の動作により、IGBT1のゲート電圧を通常のスイッチング時より緩やかに徐々に下げること、遮断時のコレクタ電圧の跳ね上がりを防止し、確実にIGBT1を保護遮断することができる。

【0043】

ここで、本発明の第1の実施形態と従来技術とを比較してみる。

従来技術にあつては、IGBT1のゲート電圧検出用の第2の基準電圧V2は、回路電源電圧（テラス電圧より大）に設定されている。

【0044】

従来技術のように、第2の基準電圧V2を回路電源電圧とした場合は、負荷等が短絡してからコレクタ電圧が上昇し、その後ゲート電圧が上昇するまで、第2比較器COMP2の出力信号は”1”とならず、論理回路ANDからは短絡検出信号は出力されない。

【0045】

このため、短絡が発生してから、ゲート電圧が回路電源電圧となるまでの間、短絡電流が大きくなってしまい、IGBTを破壊する可能性が高くなる。

【0046】

これに対して、本発明の第1の実施形態においては、上述したように、ゲート電圧検出用の第2基準電圧値 V_2 は、テラス電圧より高く、回路電源電圧より十分低い電圧値となっているので、コレクタ電圧が上昇した時点で、負荷等の短絡を検出し、IGBT1に対する保護動作が可能なので、早期に、かつ、確実にIGBT1を負荷等の短絡から保護することが出来る。

【0047】

(第2の実施形2)

次に、本発明の第2の実施形態について、図3を参照して説明する。

図3は、第2の実施形態である電力制御用半導体素子の保護装置の概略回路構成図であり、保護すべき半導体素子としてIGBTを用いた場合の例である。

【0048】

この第2の実施形態においては、IGBT1のゲートと第2比較器COMP2の反転入力端子との間に抵抗 R_1 、 R_2 が接続されている。これら抵抗 R_1 、 R_2 が接続されていること以外の構成は、第1の実施形態と第2の実施形態とは同様となっているため、詳細な説明は省略する。

【0049】

抵抗 R_1 の一方端は、IGBT1のゲートに接続され、抵抗 R_1 の他方端は、第2比較器COMP2の反転入力端子に接続されている。また、抵抗 R_2 の一方端は、抵抗 R_1 の他方端及び第2比較器COMP2の反転入力端子に接続され、抵抗 R_2 の他方端はアースされている。

【0050】

これら抵抗 R_1 、 R_2 により、ゲート電圧が電圧分割され、分割された電圧が第2比較器COMP2の反転入力端子に入力されるように構成されている。

【0051】

この第2の実施形態においても、第1の実施形態と同様な効果を得ることが出来る他、抵抗 R_1 、 R_2 の抵抗値を適切に設定することにより、第2比較器COMP2の基準電圧 V_2 を、実質的に変更可能であるため、多種多様のIGBTのテラス電圧の特性に従って、ゲート電圧の検出レベルを設定することが出来る。

【0052】

ここで、第1及び第2比較器COMP1、COMP2、論理回路AND、ソフト遮断指令回路2、駆動回路3、トランジスタM1は、IC回路とすることができ、この場合、外付けの抵抗R1、R2の抵抗値を適切なものにすることにより、比較器等をIC回路とした場合にも、多種多様のIGBTのテラス電圧の特性に従って、ゲート電圧の検出レベルを設定することが出来る。

【0053】

(第3の実施形態)

図4は、本発明の第3の実施形態である電力制御用半導体素子の保護装置を含む駆動回路を搭載した半導体集積回路の概略構成図である。

【0054】

上下アーム対のIGBTを駆動する駆動回路が1個の半導体集積回路装置15に組み込まれ、各アームの電源端子(VCT, VCC, GNT, GND) 駆動指令入力端子(INT, INB)、IGBTの駆動出力端子や保護検出動作端子(SCT, SGT, PG, SFT, SCB, SGB, NG, SFB)、保護検出出力端子(FL)を備え、上下アームそれぞれ駆動回路、短絡保護回路を備え、上下アーム間で信号のやり取りを行うレベルシフト回路も備えている。

【0055】

半導体集積回路装置15の短絡保護回路は、図1に示した第1及び第2の比較器COMP1、COMP2、論理回路AND、ソフト遮断指令回路2、トランジスタM1を備えており、第1及び第2の比較器COMP1、COMP2の基準電圧V1、V2は、第1の実施形態と同様な値に設定されている。

【0056】

この第3の実施形態によれば、第1の実施形態と同様な効果を得ることができ、他、半導体集積回路化することで、基準電圧V1、V2の精度が向上し、IGBTの短絡検出精度のばらつきを抑えることが出来る。

【0057】

(第4の実施形態)

図5は、本発明の第4の実施形態であるインバータ装置の概略回路構成図であ

る。

図5において、インバータ装置200は、パワーモジュール17に内蔵されたパワー半導体素子X1～X4、X6、X7と、パワー半導体素子のスイッチング動作を制御する制御部13とを備えている。

【0058】

バッテリー202から供給された直流電力は配線21を通してインバータ装置200に供給される。インバータ装置200に供給された直流電力は、パワーモジュール17の配線21に接続されたコンデンサ16に一時的に蓄えられる。

【0059】

そして、バッテリー202からの直流電力は、パワー半導体素子X1～X4、X6、X7を有する電力変換部で、交流電力に変換されて、電動機接続端子20を介して電動機201に供給される。これにより、電動機201が駆動される。

【0060】

制御部13は、パワー半導体素子X1～X4、X6、X7のスイッチング動作を制御する制御用素子部15と、制御用素子部15に制御動作（オンオフ動作）を指令する演算処理素子部14とを備え、制御端子19を介してパワー半導体素子X1～X4、X6、X7に接続されている。

【0061】

制御部13の制御用素子部15が、上述した本発明の第3の実施形態である半導体集積装置である。

【0062】

この第4の実施形態においては、第3の実施形態である半導体集積装置を制御用素子部15として複数個搭載することで、電力変換装置であるインバータ装置200に短絡故障が発生した場合、早期、かつ確実にパワー半導体素子の短絡検出保護動作を行い、電力変換装置の安全性を向上することができる。

【0063】

（第5の実施形態）

図6は、本発明の第5の実施形態であり、第4の実施形態である電力変換装置（インバータ装置）200を搭載したハイブリット電気自動車のエンジンルーム

部の概略構造図である。

【0064】

図6において、エンジンルーム内には、インバータ装置200、内燃機関であるエンジン210、電動機201、ラジエータ211、冷却水用ポンプ212、配管213、動力伝達機構214、車軸215が配置されている。

【0065】

車軸215の両端部は、エンジンルームの外部に突出しており、車輪216が取り付けられている。車軸215は動力伝達機構を介して、エンジン210および電動機201いずれによっても回転させることが出来る。

【0066】

電動機201を駆動するインバータ装置200は、エンジン210および電動機201の近傍に配置される。

【0067】

また、インバータ装置200は直流蓄電装置（以下バッテリー）202から直流電力を供給され、直流電力を交流電力に変換して電動機201を駆動する。

【0068】

このインバータ装置200は、ケース10に収容されたプリント配線基板からなる制御部13と、パワーモジュール17とを備えている。

【0069】

なお、図6におけるエンジン210を除き、車軸215を電動機201の動力のみで駆動する構成が電気自動車の構成である。

【0070】

本発明によるインバータ装置200をハイブリッド電気自動車や電気自動車に適用することにより、走行中の電力変換装置の短絡発生に対して、電力制御用半導体素子を、早期に、かつ確実に保護することができるので、ハイブリッド電気自動車、電気自動車の安全性を向上することができる。

【0071】

【発明の効果】

本発明によれば、回路負荷等の短絡を、早期に、かつ、確実に検出して、バイ

ポーラMOS複合型半導体素子等の半導体素子が破壊されることを防止可能な電力制御用半導体素子の保護装置及びそれを備えた電力変換装置を実現することができる。

【0072】

また、本発明による電力変換装置を電気自動車やハイブリッド電気自動車に適用すれば、電力制御用半導体素子の短絡検出、保護動作を、早期、かつ確実に行うことができるので、電気自動車等の信頼性を向上することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態である電力制御用半導体素子の保護装置の概略構成図である。

【図2】

本発明の第1の実施形態におけるIGBTのスイッチング波形図である。

【図3】

本発明の第2の実施形態である電力制御用半導体素子の保護装置の概略構成図である。

【図4】

本発明の第3の実施形態である半導体集積装置の概略構成図である。

【図5】

本発明の第4の実施形態であるインバータ装置の概略構成図である。

【図6】

本発明の第5の実施形態であるハイブリッド電気自動車のエンジンルーム部の概略構成図である。

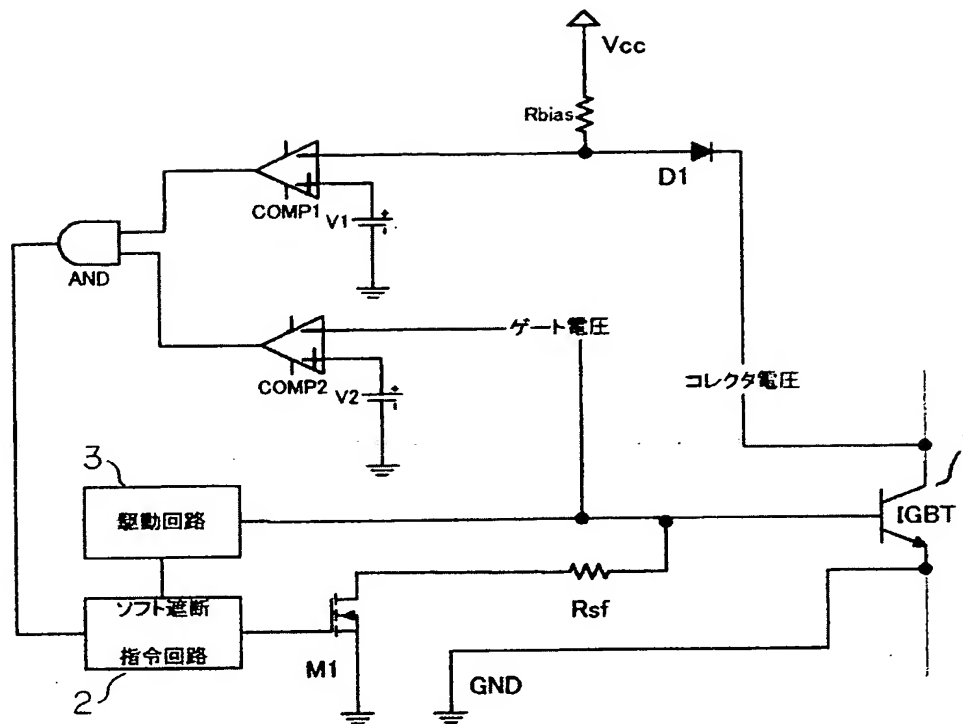
【符号の説明】

- | | |
|----|-----------|
| 1 | IGBT |
| 2 | ソフト遮断指令回路 |
| 3 | 駆動回路 |
| 10 | ケース |
| 13 | 制御部 |

1 4	演算処理素子部
1 5	制御用素子部
1 6	コンデンサ
1 7	パワーモジュール、
1 9	制御端子
2 0	電動機接続端子
2 1	配線
2 0 0	インバータ装置
2 0 1	電動機
2 0 2	バッテリー
COMP 1	第 1 比較器
COMP 2	第 2 比較器
AND	論理回路
X 1 ~ X 4	パワー半導体素子 (I G B T)
X 6、X 7	パワー半導体素子

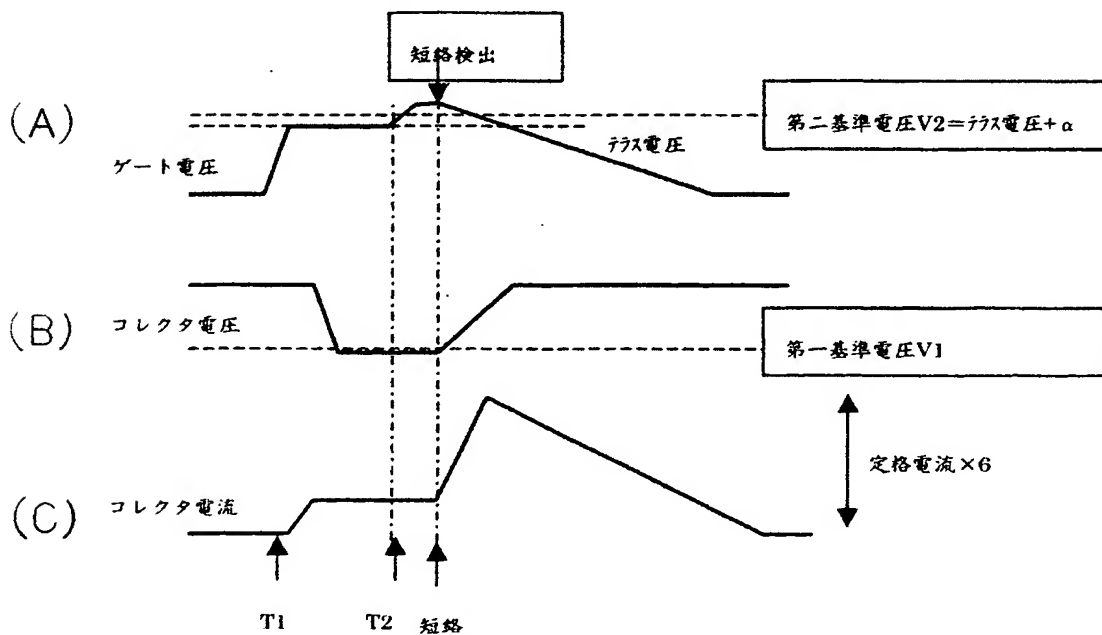
【書類名】 図面

【図 1】

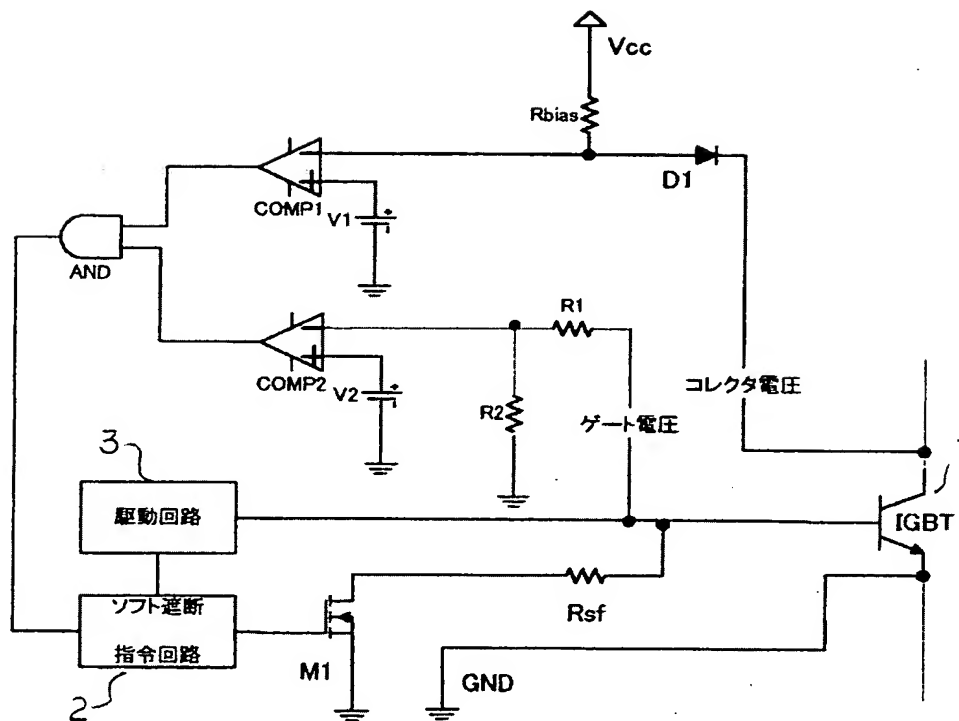


【図 2】

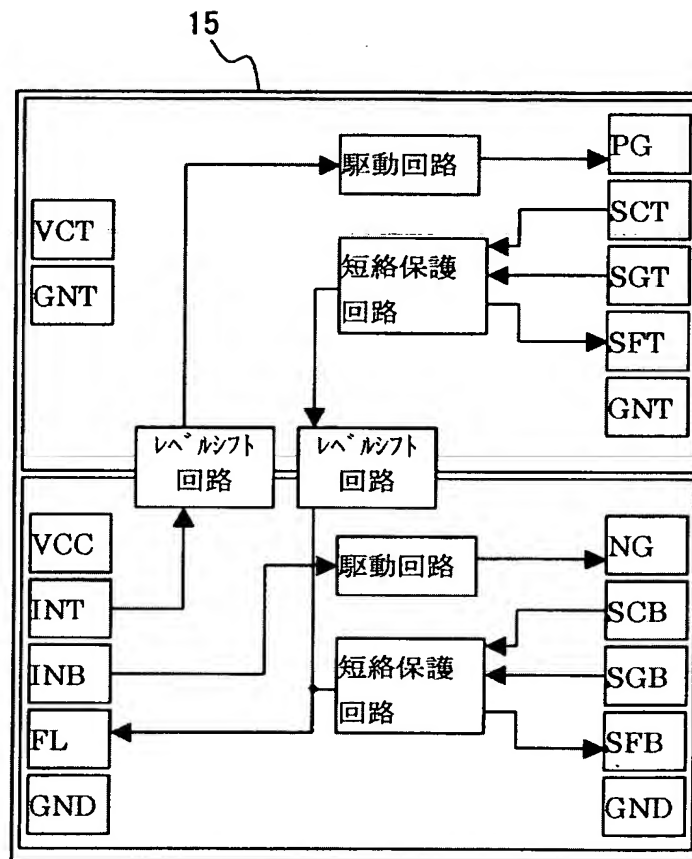
本発明をを適用した場合の短絡波形



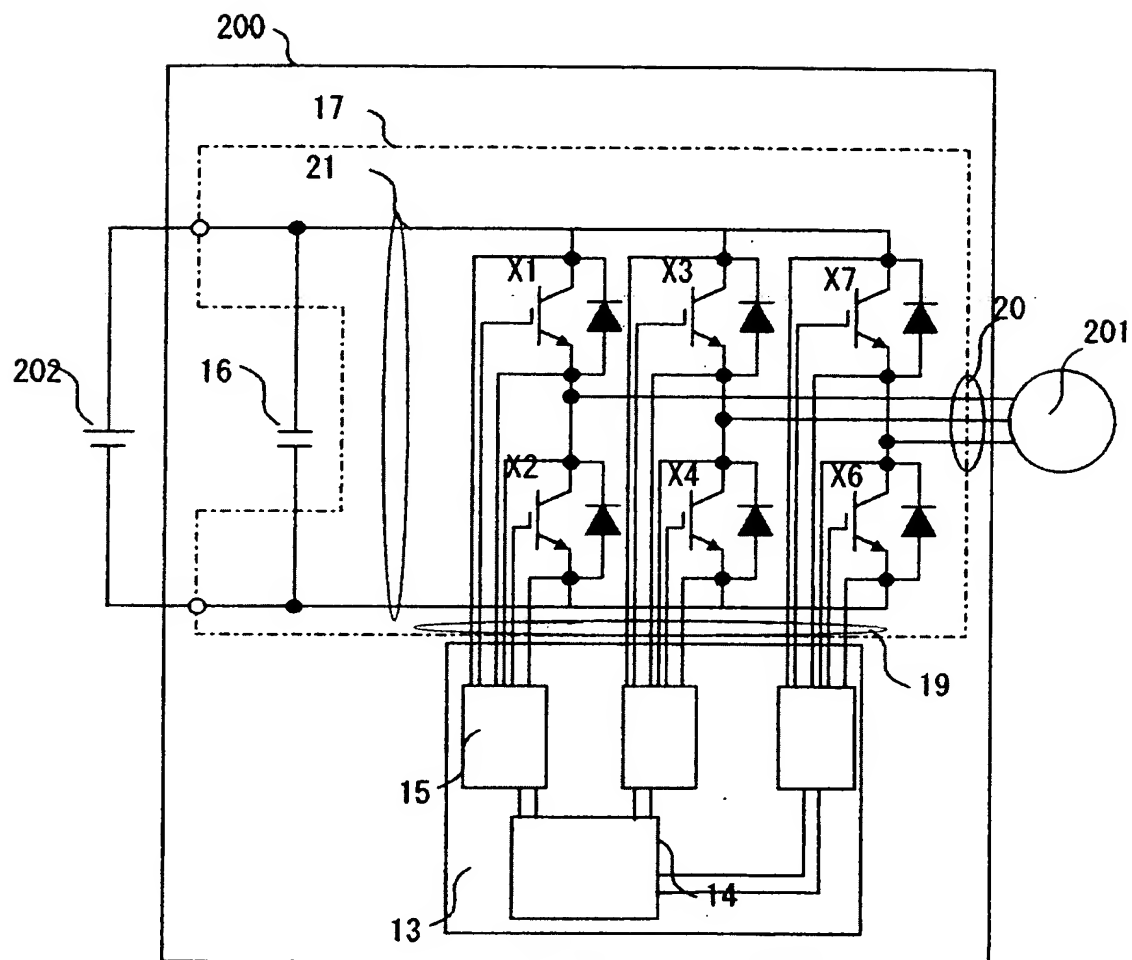
【図 3】



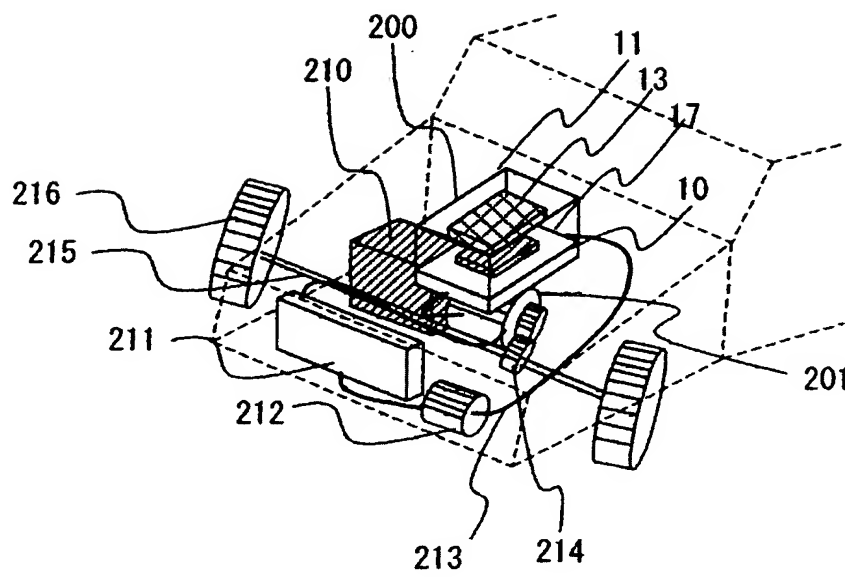
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 回路負荷等の短絡を早期かつ確実に検出してバイポーラMOS複合型半導体素子等の半導体素子が破壊されることを防止可能な電力制御用半導体素子の保護装置を実現する。

【解決手段】 IGBT1のコレクタはダイオードD1を介して第1比較器COMP1の反転入力端子に接続される。COMP1の非反転入力端子には第1基準電圧V1が印加され。IGBT1のゲート端子は第2比較器COMP2の反転入力端子に接続され、COMP2の非反転入力端子には第2基準電圧V2が印加される。COMP1とCOMP2の出力信号が論理回路ANDに入力され2つの入力信号の論理積が"1"のとき論理回路ANDから短絡検出信号が出力される。基準電圧V1はコレクタ電圧のオン状態電圧より高く、回路電源電圧より低い電圧に設定され、第2の基準電圧V2は回路の電源電圧より低く、かつ、IGBT1のテラス電圧以上に設定される。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 6 9 7 1 5
受付番号	5 0 3 0 0 9 9 6 6 2 9
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 6 月 1 6 日

< 認定情報・付加情報 >

【提出日】	平成15年 6月13日
-------	-------------

次頁無

特願 2003-169715

出願人履歴情報

識別番号

[000005108]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台4丁目6番地

氏 名

株式会社日立製作所